

УДК 621.315.592

DOI 10.36910/10.36910/6775-2313-5352-2023-23-09

Никируй Л.І.¹, Ільницький Р.В.¹, Павлюк М.Ф.¹, Федосов С.А.², Пташенчук В.В.²¹Прикарпатський національний університет імені Василя Стефаника²Луцький національний технічний університет

КОМП'ЮТЕРНЕ МОДЕЛЮВАННЯ ДИНАМІЧНИХ ХАРАКТЕРИСТИК ТРИГЕРІВ НА ЛОГІЧНИХ ТРАНЗИСТОРНИХ СИСТЕМАХ ПТШ З ЄМНІСНИМИ ЗВ'ЯЗКАМИ ДЛЯ СЕНСОРНИХ МІКРОСИСТЕМ

У даному дослідженні подані результати комп'ютерного моделювання інтегральних тригерних елементів, реалізованих на польових транзисторах Шотткі (ПТШ) з ємнісними зв'язками, а саме, синхронного RS-тригера та двотактного T-тригера. На основі результатів моделювання представлено отримані режими їх функціонування, наведено їх конструктивно-технологічні прикладні структури. Ці структури можуть бути отримані суміщеними субмікронними Si і GaAs технологіями. Такі технології водночас є перспективними для створення різних типів сенсорних елементів, що відкриває додаткові можливості їх інтеграції зі схемами первинної обробки інформації від них і створення сенсорних мікросистем-на-кристалі. Також за рахунок цього майже на порядок зростає швидкодія тригерних систем при формуванні гетеро-ПТШ транзисторів, що забезпечується за рахунок утворення подвійного електронного газу, рухливість електронів якого зростає на порядок. Для цифрових перетворень інформації від сенсорних елементів на основі ПТШ відповідно необхідні тригерні елементи зі структурами ПТШ. Результати аналізу і досліджень схемотехніки RS-тригерів і двотактних T-тригерів з міжелементними ємнісними зв'язками подано у цій статті.

Ключові слова: RS-тригер, T-тригер, мікропроцесор, ПТШ-транзистор, субмікронна технологія.

Постановка наукової проблеми. Одним з найважливіших елементів цифрової техніки є тригер. Сам тригер не є базовим елементом, так як він збирається з більш простих логічних схем. Сімейство тригерів досить велике. Це тригери: Т, D, С, JK, але основою всіх є найпростіший RS-тригер. Відмінною особливістю тригера як функціонального пристрою є властивість запам'ятовування двійкової інформації. Під пам'яттю тригера мають на увазі здатність залишатися в одному з двох станів і після припинення дії сигналу, який перемикається. Приймавши один зі станів за «1», а інше за «0», можна вважати, що тригер зберігає (пам'ятає) один розряд числа, записаного в двійковому коді. Також цей пристрій має можливість швидко переключатися з одного стану в інший під зовнішнім впливом, що дає можливість змінювати інформацію. RS-тригер використовується для формування сигналу з позитивним і негативним фронтами, окремо керованими за допомогою подачі імпульсів на входи, які рознесені в часі. Також RS-тригери часто використовуються для виключення помилкового спрацьовування цифрових пристроїв від так званого «брязкоту контактів». При виготовленні тригерів застосовуються переважно напівпровідникові прилади зазвичай біполярні і польові транзистори. З появою технології виробництва мікросхем малої і середньої ступені інтеграції був освоєний випуск великої номенклатури тригерів в інтегральному виконанні. В даний час логічні схеми, в тому числі з використанням тригерів, створюють в інтегрованих середовищах розробки під різні програмовані логічні інтегральні схеми (ПЛІС). Використовуються, в основному, в обчислювальній техніці для організації компонентів обчислювальних систем: регістрів, лічильників, процесорів, ОЗУ.

Аналіз останніх досліджень і публікацій. У роботі [1] її авторами розроблено RS-тригер із структурою транзисторів, розділених на дві групи (spaced transistor groups (STGs) RS-тригер), і TCAD моделювання цього логічного елемента виконується за технологією CMOS-блоків з проектним розміром 65 нм. Стійкість RS-тригера до впливу одиночних ядерних частинок покращується шляхом поділу його транзисторів на дві групи таким чином, щоб вплив на одну з цих груп не призводило до порушення логічного стану цього тригера. Стаття [2] досліджує механізм теплового виходу металооксидних напівпровідникових польових транзисторів (MOSFET) у RS-тригерах. Виконується моделювання для вивчення порогу пошкодження RS-тригера за різних входів затвора та часу наростання, а також будується графік внутрішнього розподілу температури. Завдяки аналізу авторами робиться висновок, що сильні

електромагнітні імпульси з довшим часом наростання повинні мати вищу пікову інтенсивність і довший час для пошкодження RS-тригерів. У статті [3] запропоновано архітектуру мультіплектора аналогових сигналів (AM), реалізованого на базі багатоканального диференціального різницевого операційного підсилювача (DDA) з N ($N=2, 3..$) вхідними диференціальними каскадами (DSs). Розглянутий AM є програмованим багатофункціональним аналого-цифровим процесором. Зазначені умови роботи AM формуються за рахунок попереднього налаштування стану відповідних RS-тригерів (або інших елементів пам'яті), що визначають умови роботи диференціальних ступенів DDA. Наведено результати комп'ютерного моделювання AM в режимі суматора аналогового сигналу.

Функціональні схеми і області роботи тригерів. Розглянуті в джерелі [4] логічні інтегральні вентиля є по суті справи елементарними базовими компонентами, на яких і проектується сучасні швидкісні логічні системи. Важливе місце в структурі складних логічних систем, побудованих на типових логічних вузлах, займають тригери, які і формуються структури пам'яті (ПЗП), регістрів і лічильників, що є елементами мікропроцесорів. Не зважаючи на те, що існує багато видів тригерів, а саме: RS, JK, T і D, в їх основі лежить декілька досить простих інтегральних схем, від яких інші типи тригерів зазвичай відрізняються тільки вхідними колами [5]. До таких схем відносяться: синхронний RS-тригер і рахунковий T-тригер. Електрична схема синхронного RS-тригера подана на рис. 1.

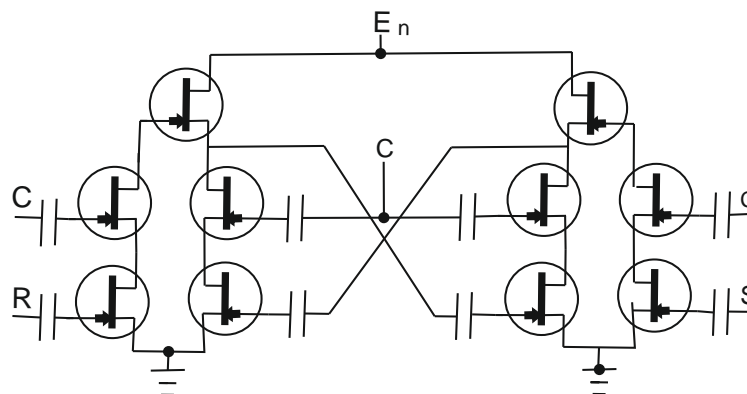


Рисунок 1 – Електрична схема синхронного RS-тригера

Еквівалентні електричні схеми, всіх транзисторів, а також характери залежності ємностей гомопереходів від напруги живлення взяті із джерела [6], які там представлені як оптимальні моделі інтегральних інверторів, що є основою наших тригерних систем.

Метою роботи є комп'ютерне моделювання інтегральних тригерних елементів на польових транзисторах з ємнісними зв'язками та встановлення режимів їх функціонування залежно від конструктивно-технологічної структури.

Викладення основного матеріалу. Перед початком роботи тригера, як елемента пам'яті на входи c і \bar{c} необхідно синхронно подати два позитивних імпульси з метою зарядження внутрішніх ємностей. Функціональні схеми і області режимів роботи двотактних T-тригерів зображені на рис. 2.

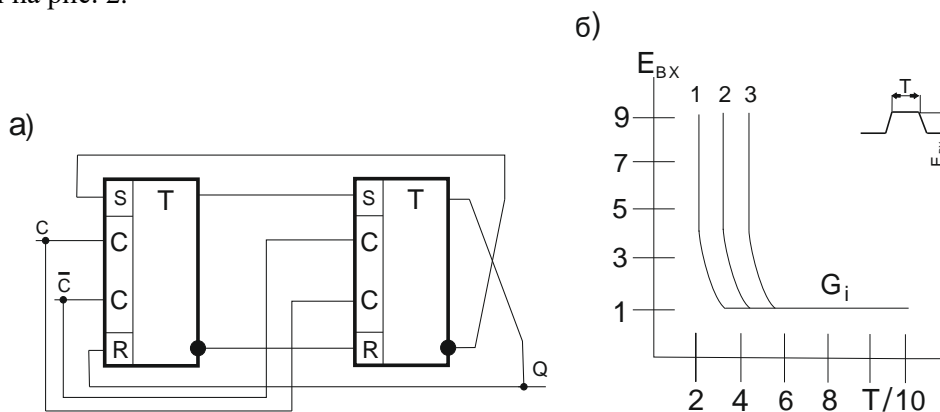


Рисунок 2 – Схеми і режими роботи тригера:
а) функціональна схема двотактного T-тригера;

б) область G_i ($i = 1, 2, 3$) стійкої роботи (криві 1, 2, 3 для $E_{жс} = 6, 8, 10$ відповідно)

Проведене комп'ютерне моделювання дозволило визначити умови завадостійкої роботи RS-тригера в площині параметрів $E_{вх}$, T (рис. 2б), які поступають на входи R і S ($E_{вх}$ – тут амплітуда вхідного сигналу, T – тривалість вхідного сигналу). У даних графіках всі напруги і часові параметри нормуються на φ_0 (бар'єр Шоттки, що $\epsilon \leq 0,4$ В) і RS ланки (R – опір витоку, C – ємність затвору ПТШ-транзистора, який використовується в логічних схемах високої швидкодії на ємнісних зв'язках). Із поданого на графіках рис. 2 видно, що область стійкої роботи зменшується із збільшенням напруги джерела живлення $E_{жс}$, причому мінімальна амплітуда вхідного сигналу $E_{вх}$, при якій ще проходить якісне спрацювання тригера, залишається постійною і рівною 2,5-3 В.

Часові та амплітудні характеристики RS-тригерів. Характеристики RS-тригера відносно амплітуди та часу подані на рис. 3а, б, в, де r – зменшення опору витоку, n – зменшення ємності навантаження.

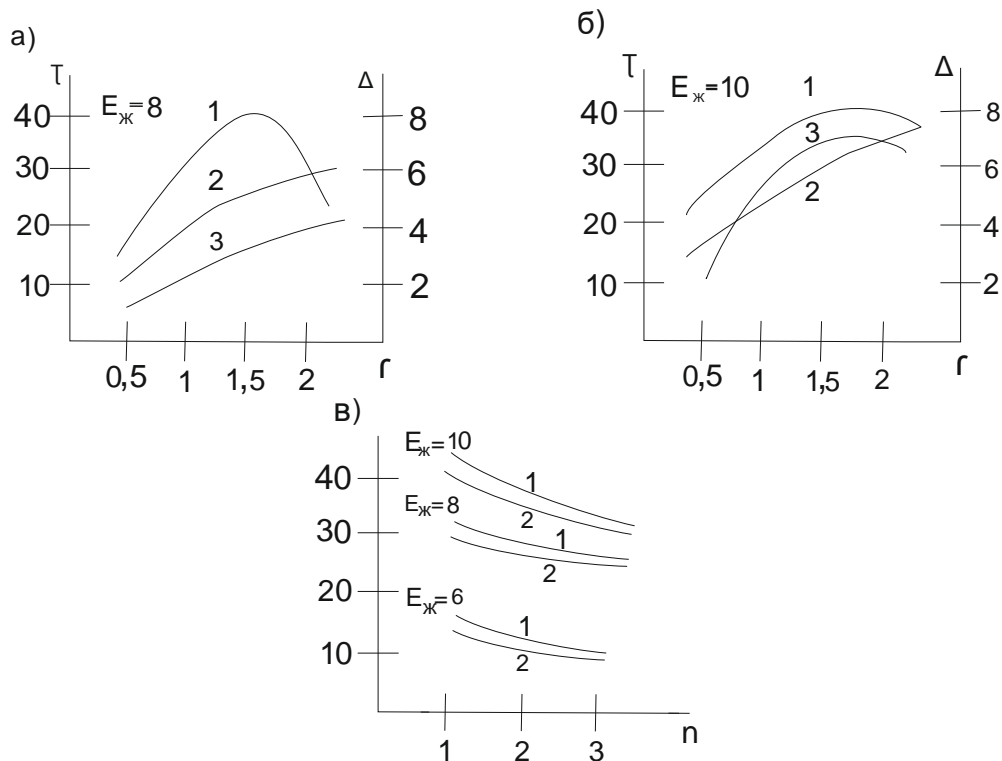


Рисунок 3 – Часові і амплітудні характеристики RS-тригера:
 а) залежність часу τ переходу із стану логічного «0» в логічну «1»;
 б) залежність часу τ переходу із стану логічної «1» в логічний «0»;
 в) логічний перепад

Із рис. 3а, б видно, що при зменшенні опору витоку ПТШ-транзистора сильно зростає логічний перепад. Це приводить до збільшення часу переключення, оскільки для зарядження ємності навантаження займає більше часу. Проте, при зменшенні опору джерела живлення в n раз (по відношенню до оптимального варіанту > 1) зміни є незначними. Якщо зменшити ємність навантаження C_3 в n -разів (при напрузі живлення $E_{жс} = 8-10$) то це спочатку приведе до різкого зниження часу передачі переключення (рис. 3в), а потім при $n \geq 1.5$ зміни стануть незначними, так як ємність C_3 стає меншою ніж внутрішні ємності тригера. У випадку коли напруга живлення $E_{жс} = 6$ ця залежність є досить слабкою, оскільки робота тригера, у цьому випадку, характеризується дуже малим логічним перепадом.

Із поданого випливає наступне, що для забезпечення надійної роботи RS-тригера необхідно задавати напругу входу $E_{вх} = 3,5-4$; $r \geq 2$; $E_{жс} = 7-8$; це забезпечує, що при $n > 1$ час переключення стає на рівні $\tau = 30$ і логічний перепад $\Delta = 6$.

Тепер розглянемо динаміку роботи двотактного рахункового Т-тригера, які побудовані на двох RS-тригерах і який перемикається поданням на входи s і \bar{s} двох серій тактових імпульсів, які зсунуті один відносно другого на π (180°). Функціональна схема такого тригера подана на рис. 2а. Перед початком роботи (аналогічно як і в RS-тригері) на входи s і \bar{s} подаються синхронно два позитивні імпульси.

Моделювання показало, що мінімальна тривалість вхідних імпульсів, при якій проходять ділення частоти, є рівне 20. Це забезпечує слабку залежність стійкої роботи Т-тригера (в площині параметрів вхідних сигналів $E_{вх}$ і T) від напруги джерела живлення, яке змінюється в межах 6-10. На рис. 4 подані динамічні характеристики (час затримки τ_3 і тривалість фронту τ_{ϕ} вихідних імпульсів Т-тригера, які визначаються як залежність ємності навантаження C_3 що є нормованою до C_1).

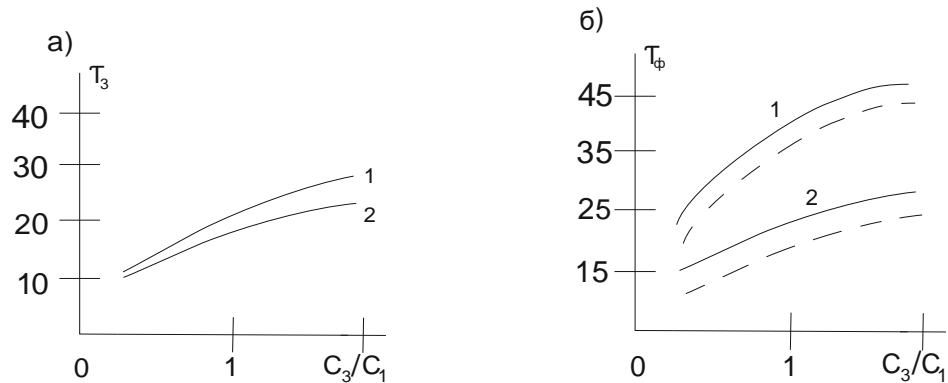


Рисунок 4 – Динамічні характеристики вихідних імпульсів:

- а) залежність середньої затримки (криві 1, 2 для $E_{вх} = 10$ і 8 відповідно);
 б) тривалість переднього (криві 1) і заднього (криві 2) фронтів від значення ємності навантаження C_3 нормованої на C_1 . Суцільні лінії і пунктирні лінії для $E_{вх} = 10$ і 8 відповідно.

Проведені розрахунки показують, що при тривалості імпульсу, що є рівний 60, тригер стабільно працює навіть при значенні ємності $C_3 = 15C_1$, що є еквівалент коефіцієнту розгалуження за виходом більше 10, проте в цьому випадку дещо понижуються швидкодія такого тригера (рис. 5). Тут дуже важливим фактором, що забезпечує правильний і надійний режим роботи двотактного Т-тригера є саме відсутність часових неузгоджень між сигналами на входах s і \bar{s} . Десинхронізація між імпульсами один відносно другого мають великий вплив на роботу тригера, що демонструє рис. 4а. В той же час, розширення або звуження імпульсів помітно не впливає на роботу Т-тригера, при цьому його часові характеристики, як видно на рис. 4б, покращуються. Т-тригер є саме тим елементом, по роботі якого можна визначити максимальну тактову частоту вже досить складних цифрових схем.

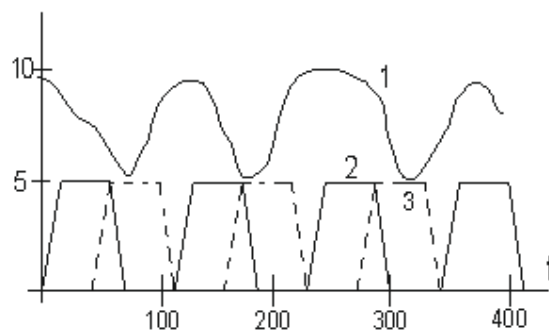


Рисунок 5– Вплив часових неузгоджень між сигналами на роботу Т-тригера вихідного сигналу (крива 1) при зсуві фази між сигналами на входах s і \bar{s} (суцільна і пунктирна криві 2 і 3).

Проведений нами аналіз і моделювання показують, що якщо тривалість тактових імпульсів буде рівна $50RC_1$, то такий тригер працює дуже стійко, допускаючи коефіцієнт розгалуження на входах вже більше 5. При використанні розробленої нами субмікронної кремнієвої та арсенідгалієво-кремнієвої технології можна довести постійну часу RC_1 до значення $\leq 10-12$ пс, що і забезпечує тривалість імпульсу на рівні 50 пс. Очевидно, що чим менша тривалість τ_{ϕ} тим вища частота перемикавання, а отже і швидкодія тригера. Таким чином, цифрові тригерні схеми з ємнісними зв'язками на транзисторах ПТШ (як гомоперехідні, так і гетероперехідні) можуть працювати на тактових частотах до 40 ГГц та 120 ГГц відповідно.

Висновки. Висока стійкість і швидкодія синхронних RS-тригерів та рахункових T-тригерів на основі ПТШ транзисторів досягнута використанням субмікронної кремнієвої технології для епішарів GaAs на моно кремнієвих підкладках, що підтверджують результати машинного моделювання. Формування шарів GaAs на моно кремнієвих підкладках забезпечується низькотемпературною епітаксією, стимульованою фотонною обробкою ексимерними лазерами при температурах $T = 520 - 550^{\circ}\text{C}$, а для вирівнювання постійних ґраток GaAs і Si використовується буферний шар моно германію товщиною 0,5-1 мкм. Швидкодія тригерних систем зростає майже на порядок при формуванні гетеро-ПТШ транзисторів, що забезпечується за рахунок утворення подвійного електронного газу рухливість електронів якого зростає на порядок (зростання тактової частоти з 40 ГГц до 120 ГГц). Малі значення контактної опору стік-витокових областей ПТШ-транзисторів забезпечується багатозарядною дуальною імплантацією та імпульсним фотонним відпадом ізотопних переходів $n+n$ -типу.

Інформаційні джерела

1. Stenin V.Y., Katunin Y.V. Simulation the Effects of Single Nuclear Particles on STG RS Triggers with Transistors Spacing into Two Groups. *Russian Microelectronics*. 2018. Vol. 47, № 6. P. 407–414.
2. Zhang Z., Chen X., Li Q., Wang D., Gong B. Simulation analysis of strong electromagnetic pulse rise time on damage threshold of RS flip-flop. *High Power Laser and Particle Beams*. 2017. Vol. 29, № 8. 083202.
3. Prokopenko N.N., Butyrlagin N.V., Bugakova A.V., Pakhomov I.V. The multifunctional programmable multiplexer of potential signals of sensors. *2016 International Conference on Signals and Electronic Systems, ICSES 2016 : Proceedings*. 2016. P. 261–264, 7593863.
4. Новосядлий С.П. Суб- і наномікронна технологія структур ВІС : Монографія. Івано-Франківськ : Місто-НВ, 2010. 458 с.
5. Сенько В.І. Електроніка і мікросхемотехніка. Цифрові пристрої. К. : Каравелла, 2008 400 с.
6. Kogut I.T., Holota V.I., Druzhinin A.O., Dovhij V.V. The device-technological simulation of local 3D SOI-structures. *Functional Nanomaterials and Devices for Electronics, Sensors, Energy Harvesting : NATO Advanced Research Workshop*. Lviv, 2015. P. 17–18.

Nykyruy L.¹, Pnytskyi R.¹, Pavlyuk M.¹, Fedosov S.², Ptashenchuk V.²

¹Vasyl Stefanyk Precarpathian National University

²Lutsk National Technical University

COMPUTER SIMULATION OF THE DYNAMIC CHARACTERISTICS OF TRIGGERS ON LOGIC TRANSISTOR PTS SYSTEMS WITH CAPACITIVE COUPLING FOR SENSOR MICROSYSTEMS

This paper presents the results of computer modeling of the integral trigger elements implemented on Schottky field-effect transistors (FETs) with capacitive coupling, namely, a synchronous RS-trigger and a two-stroke T-trigger. The obtained modes of their functioning are presented on the basis of the simulation results, and their constructive and technological instrument structures are shown. These structures can be obtained by combined submicron technologies based Si and GaAs. At the same time, such technologies are promising for the creation of various types of sensor elements, which opens up additional opportunities for their integration with circuits for primary processing of information from them and the creation of sensor microsystems-on-a-crystal. Also due to this, the speed of trigger systems increases by almost an order of magnitude during the formation of hetero-FETs transistors, which is ensured by the formation of a double electron gas, the mobility of which electrons increases by an order of magnitude. For digital transformations of information from sensor elements based on FETs the trigger elements with FETs structures are needed, respectively. The results of the analysis and research of RS flip-flops and two-stroke T-type of flip-flops with inter-element capacitive connections are presented in this paper.

Keywords: RS-Trigger, T-Trigger, Microprocessor, PTS-Transistor, Submicron Technology.